



Q/RJ

中国航天科技集团有限公司第八研究院标准

Q/RJ 669-2020

空间飞行器部组件用国产半导体芯片 质量保证规范

2020-06-19 发布

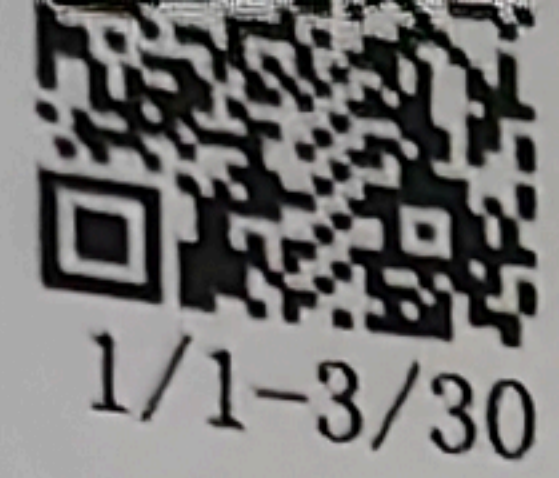
2020-06-19 实施

中国航天科技集团有限公司第八研究院 批准



目 次

前 言	II
1 范围	1
2 引用文件	1
3 要求	1
3.1 通则	1
3.2 芯片选用要求	2
3.3 芯片研制阶段管理	2
3.4 芯片设计定型要求	2
3.5 质量保证要求	3
3.6 辐射强度保证（适用时）	3
3.7 结构分析（必要时）	4
3.8 工艺评价	4
3.9 装机验证	4
3.10 设计和结构	4
3.11 标志	7
3.12 批失效处理	7
3.13 生产过程控制	7
3.14 信息交换与失效报警要求	7
4 质量保证规定	8
4.1 总则	8
4.2 晶圆批制造控制与接收	8
4.3 检验	10
4.4 承制方筛选	11
4.5 元器件可靠性中心监制	14
4.6 鉴定检验	15
4.7 质量一致性检验	15
4.8 检验记录	18
4.9 使用方验收	18
5 交货准备	21
5.1 包装	21
5.2 运输、贮存	22
6 说明事项	22
6.1 预定用途	22
6.2 订购文件中应明确的内容	22
6.3 使用风险控制	22
附录 A（资料性附录）芯片技术状态更改	23
附录 B（资料性附录）芯片研制过程保证控制	25
附录 C（资料性附录）芯片使用风险控制清单	26



前 言

本标准的附录 A、B、C 是资料性附录。

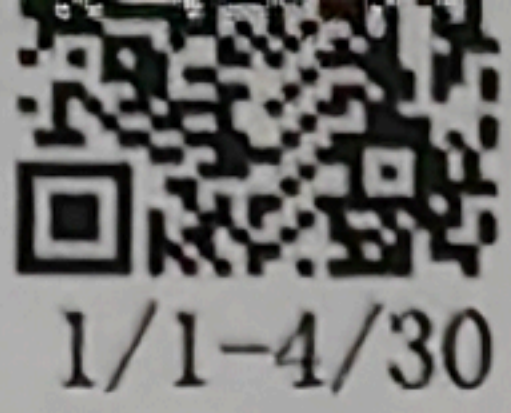
本标准由中国航天科技集团有限公司第八研究院提出。

本标准由中国航天科技集团有限公司第八研究院第八〇八研究所归口。

本标准起草单位：中国航天科技集团有限公司第八研究院第八〇八研究所、中国电子科技集团公司第十三研究所、中国电子科技集团公司第十四研究所、中国电子科技集团公司第二十四研究所、中国电子科技集团公司第三十八研究所、中国电子科技集团公司第五十五研究所、中国电子科技集团公司第五十八研究所、浙江铖昌科技有限公司。

本标准主要起草人：曾英廉、曹书亮、杜林、黄超、郁发新、王立平。

本标准主要审查人：王昆黍、祝伟明、于文清、史耀强、赵涛、蒲林、高学邦、崔雷、严继进、吴中光、李庆、徐仁其、肖凤娟、林罡、方蒙生。



空间飞行器部组件用国产半导体芯片质量保证规范

1 范围

本标准规定了空间飞行器部组件用国产半导体芯片（以下简称“芯片”）承制方的设计、生产、筛选、鉴定、质量一致性检验以及使用方监制、验收等质量保证的通用要求。

本标准适用于国产半导体芯片承制方设计、生产的质量控制和使用方的产品保证。

2 引用文件

下列文件中的有关条款通过引用而成为本标准的条款。凡注日期或版次的引用文件，其后的任何修改单（不包括勘误的内容）或修订版本都不适用于本标准，但提倡使用本标准的各方探讨使用其最新版本的可能性。凡未注日期或版次的引用文件，其最新版本适用于本标准。

GJB 33A-1997	半导体分立器件总规范
GJB 128A-1997	半导体分立器件试验方法
GJB179A-1996	计数抽样检验程序及表
GJB 546B-2011	电子元器件质量保证大纲
GJB 548B-2005	微电路试验方法和程序
GJB 597B-2012	半导体集成电路通用规范
GJB 7400-2011	合格制造厂认证半导体集成电路通用规范
GJB 7242-2011	单粒子效应试验方法和程序
GJB 8481-2015	微波组件通用规范
Q/RJ 316.3-2011	型号元器件保证标准第3部分：型号用元器件监制与验收管理要求
沪航天物字[2019]147号	中国航天科技集团有限公司第八研究院航天型号部组件用半导体芯片管理要求
沪航天物字[2018]533号	空间飞行器用T/R组件通用规范（试行版）

3 要求

3.1 通则

国产半导体芯片是指所有权属国内生产厂家的划片后的单个集成电路或半导体分立器件芯片。芯片承制单位应满足本标准的要求，具备满足本标准规定的设计能力、生产设备、试验设备和质量保证条件，或者具备对芯片生产设备、试验设备和质量保证条件控制的能力和手段。芯片承制单位应实施GJB546B-2011，并在质量保证大纲中规定芯片防静电、包装、贮存、周转等管理要求。芯片应符合本标准及相应产品详细规范规定的所有要求。为确保解释的统一性和在文件之间出现抵触时理



解的统一性，应遵循以下优先顺序：

- a) 采购合同；
- b) 产品详细规范；
- c) 本标准；
- d) 本标准引用的其它文件。

3.2 芯片选用要求

3.2.1 芯片使用单位在选用芯片时应充分论证，优先选用合格供方名录内芯片承制单位的选用目录内芯片。型号应加强芯片选用评审把关，开展选用评审时，应加强对芯片选用必要性、可行性论证的审查；

3.2.2 芯片使用单位应审查选用的芯片是否制定了详细规范，若未制定详细规范，应要求芯片承制单位按照本标准要求制定详细规范并由芯片使用单位组织评审，若制定了详细规范，应核对是否符合本标准要求；

3.2.3 对于定制芯片，芯片使用单位应根据芯片使用的工作模式及最坏条件分析，提出定制芯片使用及具体指标要求，并在芯片电探针测试、鉴定检验/质量一致性检验、组件试验中做到全覆盖，必要时单独增加试验；

3.2.4 对于货架芯片，芯片使用单位应根据芯片使用的工作模式及最坏条件分析，核对芯片电探针测试、鉴定检验/质量一致性检验是否可以覆盖使用要求，若无法覆盖，芯片使用单位应提出针对性试验要求；

3.2.5 在型号研制阶段经过充分验证的芯片，芯片使用单位不得随意更改芯片规格、技术指标等，若确需更改，应严格按照技术状态更改“五条原则”执行。

3.3 芯片研制阶段管理

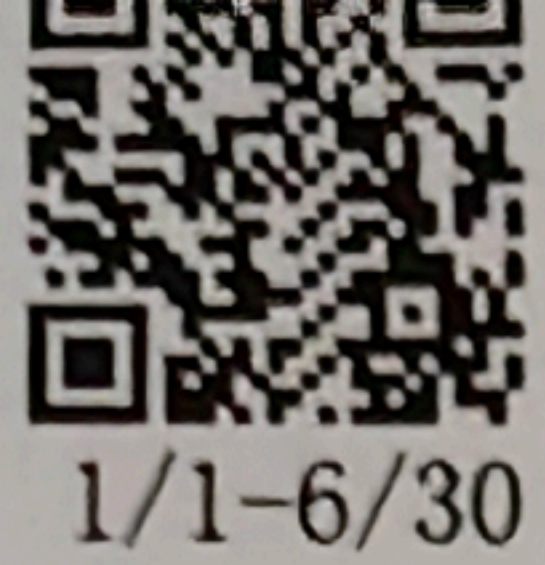
芯片研制过程一般分为初样、正样和设计定型三个阶段。

- a) 初样产品的外形尺寸、电性能指标满足技术协议书的要求；
- b) 正样产品的外形尺寸、电性能指标均满足技术协议书的要求，并通过环境考核摸底试验；
- c) 设计定型产品全部满足技术协议书的要求，工艺稳定，产品详细规范通过评审并通过了鉴定检验，具备批量生产能力，得到芯片使用单位认可。

3.4 芯片设计定型要求

设计定型芯片应全部满足技术协议书的要求，工艺稳定，芯片详细规范通过评审并通过了鉴定检验，具备批量生产能力，通过芯片使用单位的试用及评价验证。

型号正样产品使用的芯片必须通过设计定型之后方可装机。在设计定型评审时，重点审查芯片



的设计、工艺、鉴定试验等情况以及芯片在型号初样使用的情况。

3.5 质量保证要求

3.5.1 芯片质量保证等级

符合本标准芯片的质量等级为 SYSD。SYSD 质量等级满足八院空间飞行器关于芯片的质量控制要求。按本标准交货的芯片，其具体芯片的各项要求，应在相关详细规范中予以规定。若无其他规定，所有芯片的工作环境温度范围应为 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ ，其中功率芯片的工作环境温度范围应不低于 $-55^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。所谓最低和最高额定工作温度分别指这一温度范围的下限和上限。芯片使用方应在订货合同中明确采购芯片质量等级为 SYSD，并填写 SYSD 等级对应通过评审的详细规范号。

3.5.2 芯片的鉴定

承制方应对按本标准交付的芯片进行鉴定。鉴定应按 4.6 所要求的鉴定检验进行。

3.5.3 质量保证大纲的更改

对鉴定合格芯片，若没有修改芯片质量保证大纲文件，承制方不得对芯片的设计、材料、工艺或控制进行修改。

3.5.4 鉴定合格芯片的更改

当鉴定后的芯片设计、工艺、材料出现影响产品性能、质量和可靠性的更改或生产条件发生重大变化时，芯片应重新进行鉴定检验并应书面通知使用方，芯片设计、晶圆制备和装配工艺更改见附录 A。若芯片承制单位需更改芯片技术状态，应书面通知芯片使用单位和八院元器件可靠性中心，由八院元器件可靠性中心组织相关方进行确认。

3.6 辐射强度保证（适用时）

芯片的辐射强度保证（RHA）等级应按表 1 的规定。

表 1 RHA 等级和要求^a

总剂量等级符号 ^b	总剂量 ^c Gy (Si)
—	无 RHA 要求
M _L 或 M _H	30
D _L 或 D _H	1×10^2
P _L 或 P _H	3×10^2
L _L 或 L _H	5×10^2
R _L 或 R _H	1×10^3
F _L 或 F _H	3×10^3
G _L 或 G _H	5×10^3
H _L 或 H _H	1×10^4

^a可以直接进行最高等级的鉴定。
^b总剂量等级符号中的下标 L 表示采用低剂量率，即剂量率 $\leq 1 \times 10^{-4} \text{Gy (Si) /s}$ ；下标 H 表示采用高剂量率，即剂量率 $> 1 \times 10^{-4} \text{Gy (Si) /s}$ 。
^c根据 GJB 548B-2005 方法 1019 进行。



3.7 结构分析（必要时）

针对采用新工艺、新材料的芯片，必要时开展结构分析工作，即通过一系列破坏性和非破坏性检验、分析和试验，获得芯片的设计、结构、工艺和材料等满足评价要求和空间飞行器应用要求的能力的信息，避免不适当结构的芯片用于空间飞行器。

3.8 工艺评价

3.8.1 芯片使用单位应组织对选用的芯片开展工艺评价试验，主要针对芯片键合工艺评价以及芯片粘接工艺评价。

3.8.2 芯片键合工艺评价

慎用与芯片键合区金属材料不同的键合工艺。如果必须在芯片用到不同金属材料的键合工艺，必须通过工艺鉴定，工艺鉴定试验应至少包括高温贮存、SEM 检查和引线键合强度。高温贮存试验样品应为密封合格样品，试验条件为经使用方和承制方认可的试验方法；SEM 检查主要观察开帽后键合点形貌，要求金-铝扩散区域不得波及有源区（通过元素面分布情况确定）；高温贮存后引线键合强度应满足 GJB548B-2005 方法 2011 或 GJB128A-1997 方法 2037 要求。

3.8.3 芯片粘接或烧结工艺评价

集成电路芯片剪切强度或芯片粘接强度应满足 GJB548B-2005 方法 2019 或方法 2027 的要求，半导体分立器件芯片粘附强度应满足 GJB128A-1997 方法 2017 的要求。

3.9 装机验证

芯片使用单位应组织对选用的芯片开展装机验证，抽取一定比例组件完成组件技术条件规定的所有试验项目。

3.10 设计和结构

3.10.1 通则

芯片的设计和结构应符合本标准和相关详细规范、设计文件和工艺文件的规定。

3.10.2 要求

3.10.2.1 设计准则

对于 SYSD 级芯片，承制方的设计应遵循以下准则：

a) 应建立设计规范。承制方的设计规范应规定与设计相关的工艺和材料，包括应用环境与受影响材料或（和）工艺之间的相互作用。这些要求构成了按质量保证大纲生产的所有产品的设计基础。应记录与本标准不一致的任何设计要求；

b) 应建立温度和电气性能极限最坏情况下的设计模型和程序；

c) 适用时规定对规则的检查程序，包括设计规则、电气规则、可靠性规则、热设计规则等。



3.10.2.2 设计验证

为保证新研制芯片的设计满足要求，SYSD 级芯片应至少进行以下设计验证：

a) 模型验证

应提供证据证明设计过程中用到的模型起到预期的功能，能够精确覆盖最坏情况的温度条件和最劣的电学条件，模型应包括晶体管逻辑、故障、时序、芯片工艺和组装工艺等。

b) 版图验证

人工或自动化布图过程中，应对可知的单一或综合错误进行设计规则、电气规则和可靠性规则的检查，规则检查至少包括：

- 1) 设计规则检查 (DRC)：几何学和物理学检查；
- 2) 电气规则检查 (ERC)：短路、开路、连通性检查；
- 3) 可靠性规则检查：如电迁移、电流密度、反向漏电压降、热载流子注入、静电放电、烧毁等；
- 4) 辐射加固保证 (RHA) 规则检查 (有要求时)。

c) 性能验证

承制方应设计并实现一种或一组芯片用于评定既定的工艺能力和预测以后的表现，并证明每种功能的实际测试覆盖了温度和电气的极限范围 (该范围由设计仿真确定)。所有临界于几何和电气设计规则最低要求的情况，应在芯片或在标准评价电路、参数监测结构等评价过程进行重点关注，对这些组成部分的晶体管和内部互连的电应力试验应在最坏情况下进行，当芯片或其中某一部分出现失效，应通过失效分析确定失效机理，并对发现的任何问题采取措施进行纠正。

d) 可测性和故障覆盖率验证

对于复杂的数字电路，承制方应积极地采用可测试性设计风格和方法，并结合计算机辅助设计等工具。故障覆盖率的验证应与 GJB 548B-2005 方法 5012 要求的程序一致。

3.10.2.3 键合区

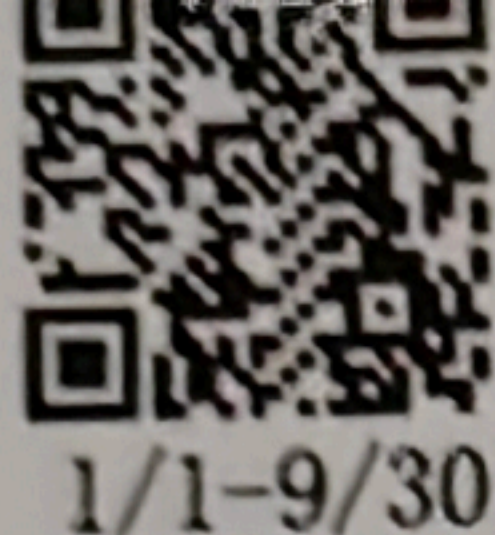
键合区应进行金属化，并应符合 4.9.3 中键合强度试验的规定。键合区的大小、位置、顺序和电气功能应符合相关详细规范的规定。

3.10.2.4 芯片尺寸

相关详细规范中应给出芯片的长度、宽度和厚度。芯片的厚度应能避免由于芯片取放、安装、引线键合和其他工艺应力引起的可能导致潜在失效的芯片破裂。

3.10.2.5 背面金属化层

适用时，背面金属应符合相关详细规范的规定，并应符合 4.9.3 中芯片剪切强度或芯片粘接强度



试验的规定。

3.10.2.6 玻璃钝化

3.10.2.6.1 硅芯片

所有硅芯片均应涂覆一层透明的玻璃或经批准的其他涂层。玻璃钝化层的最小厚度，要求 SiO_2 为 600nm 或 Si_3N_4 为 200nm，若采用 SiO_2 和 Si_3N_4 的复合钝化，钝化层厚度不低于 800nm。除设计要求的区域外，钝化层至少应覆盖除键合区、探针测试点及激光调阻区以外的所有导体。而其他涂层要采用的厚度和组成应由使用方认可。

3.10.2.6.2 GaAs、GaN 等射频/微波芯片

GaAs、GaN 等射频/微波芯片，玻璃钝化层至少应覆盖芯片的半导体区域（如 FET）和平面薄膜电阻。玻璃钝化层的最小厚度，要求 SiO_2 为 300nm 或 Si_3N_4 为 90nm。而其他涂层要采用的厚度和组成应由使用方认可。承制方应在其内部基线文件中确定与工艺技术有关的玻璃钝化层厚度要求。

3.10.2.7 金属化层的厚度

芯片金属化层的厚度、单层金属层厚度和多层布线金属化层的顶层厚度至少应为 800nm，而多层布线金属化层的顶层以下的各层至少应为 500nm，并满足 GJB 597B-2012 第 3.5.6.4 条规定的电流密度要求。

3.10.2.8 芯片划片

SYSD 级芯片原则上不得采用激光划片。对蓝宝石上硅（SOS）晶片从背面划片时，可采用激光划片方法。对于 GaN 芯片，若采用激光划片，应进行充分论证和工艺验证，并经使用方和八院元器件可靠性中心认可。

3.10.3 材料

半导体材料的检验、贮存和处理的方法和程序应在文件中进行规定，应提供各项可以证实原材料能够符合承制方规范以及相关详细规范要求的记录。

关键原材料主要的参数有方块电阻和表面缺陷密度，要求各承制方按本单位检验要求进行检验，材料供应商按承制方采购规范提供检验报告。对于 SYSD 级芯片应在产品详细规范中规定晶圆表面缺陷密度，要求不大于 80 个/ cm^2 。

金属和电镀液等原材料，除检查材料供应商合格证外，还需按照相应工艺验证规范做工艺验证，工艺验证合格后使用。

3.10.4 芯片氢耐受度

对于氢气敏感芯片，如 GaAs、GaN 芯片等，应考虑氢耐受度，同时结合性能指标要求和型号寿命要求，在详细规范中规定芯片氢耐受度指标。



3.11 标志

芯片标志应符合本标准的要求以及详细规范关于识别符号和标志的规定。条件允许时，应在芯片上标志承制方商标和芯片标识号。芯片包装上标志包含下列内容：

- a) 芯片型号规格：每个芯片包装上应标志出芯片型号规格；
- b) 质量等级标志：SYSD；
- c) 承制方识别标志：芯片包装应标上承制方的名称或商标，芯片上应有芯片标识号；
- d) 特殊标志；
- e) 检验批：芯片包装应标示上唯一的代码以表示检验批。检验批代码中的前两位数字表示该年份数字的最后两位，代码的最后两位数字表示一年中的第几周。
- f) 静电放电敏感度识别标志：芯片包装上应标志 ESD 等级，ESD 等级标志见表 2。

表 2 ESD 等级标志

ESD 等级	芯片包装标志	静电电压	ESD 等级	芯片包装标志	静电电压
0	△0	<250V	2	△△	2000V~3999V
1A	△A	250V~499V	3A	△△△A	4000V~7999V
1B	△B	500V~999V	3B	△△△B	≥8000V
1C	△C	1000V~1999V			

除另有规定外，ESD 敏感度试验至少应在芯片初始鉴定和设计更改时进行该试验。

3.12 批失效处理

批失效可发生在生产控制、筛选试验、鉴定检验、质量一致性检验以及使用方的验收过程中。若这种失效发生于鉴定、鉴定维持或鉴定合格芯片的采购，承制方应将有关失效数量、失效模式和可能的失效原因在五个工作日内以书面方式通知使用方。对失效批次涉及的芯片不得进行后续试验。

3.13 生产过程控制

3.13.1 总则

除非另有规定，提交鉴定、鉴定维持、质量一致性检验和交付的所有芯片均按照产品详细规范的规定进行生产控制。若发生了批失效，承制方应按 3.12 进行处理。

3.13.2 承制方外协控制

芯片生产、质量保证过程，应在芯片承制方完成。如果某些项目需要外协，芯片承制方应建立合格外协单位管理制度，对外协单位的资质进行审查，形成合格外协单位清单。承制方外协单位发生变化时，应通知使用方。

3.14 信息交换与失效报警要求

批失效报告按照 3.12 的规定处理。对于使用方使用过程中反馈的失效问题，承制方应在 15 个

工作日内将失效问题以及处理结果通报使用方。在失效模式、失效原因明确后，承制方 2 个工作日内将失效分析结论通知所有使用方。承制方应针对失效模式和失效原因确定改进措施，并在改进措施确定后的 5 个工作日内以书面方式通知所有使用方。

4 质量保证规定

4.1 总则

对芯片的质量保证应按本标准的要求实施，芯片研制过程保证控制见附件 B。

4.2 晶圆批制造控制与接收

4.2.1 晶圆批

晶圆批是由从晶片加工开始就同时经受同一组工艺过程的一批半导体电路晶圆组成，并有专门的识别标志或代码，以提供可追溯性。在整个工艺过程中都保持批的完整性。

4.2.2 要求

本要求适用于 SYSD 级芯片的晶圆制造与晶圆接收。

4.2.3 确立工艺过程检验文件

承制方应制定晶圆生产线工艺过程检验文件，过程检验包括芯片目检、单工序加工结果检验等。过程检验文件应确定工艺加工验证的目标值，以这组目标值为依据，将实际晶圆的测量数据值与其进行比较，以确定晶圆的可接收性。必要时，承制方应向采购方提供工艺过程检验文件供其审查。

4.2.4 建立工艺过程 SPC 控制

承制方应采用工艺监控系统来控制关键工艺，以保证芯片质量和可靠性，监控系统可以使用不同的测试芯片、方法和测试技术。承制方应根据对工艺的实践经验和对产品特性的认识来确定需监控的关键工序，结果数据应通过相应的 SPC 方法进行分析，以确定其控制效果。

对于外协流片的，应要求流片厂家提供 PCM 检测结果，承制方进行 PCM 评价。

4.2.5 PCM 参数

PCM 参数给定的是该工艺要实现的一些重要的参数，包括方块电阻、电容、接触电阻、开启电压、关断电压等。所有用到的器件包括有源和无源器件的参数都要给出具体数值，在流片结束后测试专门放在划片槽中的 PCM 图形，作为“交货的质量凭证”。PCM 参数用于芯片生产单位监控工艺，当芯片的测量值都在指定的范围内，说明芯片工艺正常，如果芯片的性能差则属于设计问题。PCM 参数测试又称芯片接收测试，其目的是：

- a) 对芯片进行参数质量检验；
- b) 通过 PCM 参数测试，获取芯片生产线异常信息；

- c) 为芯片生产线上的工艺实验提取参数信息；
- d) 进行客户反馈芯片失效原因分析；
- e) 进行数据统计分析工作。

承制方应在基线文件中给出 PCM 参数、测试和可接收性要求。表 3 列出了常用的 PCM，承制方可根据产品特点自行选择。

表 3 常用的 PM

监测对象	测试结构	监测参数	推荐测试方法
掺杂工艺	(各掺杂层) 范德堡结构、二端条电阻、三端电阻或类似结构	方块电阻	直流电探针测试
金半接触	开尔文结构、接触电阻链	接触电阻	直流电探针测试
金属互连	开尔文结构、接触电阻链	通孔接触电阻	直流电探针测试
隔离耐压	隔离岛及隔离墙	击穿电压	直流电探针测试
介质漏电	平板电容	漏电流	直流电探针测试
典型芯片直流特性	双极晶体管	电流增益、耐压、厄利电压等	直流电探针测试
	金属氧化物半导体 (MOS) 晶体管	阈值电压、耐压、漏电等	直流电探针测试
	二极管	正向压降, 耐压等	直流电探针测试
	MOS 电容	电容值、漏电流等	直流电探针测试
	结型栅场效应晶体管	夹断电压、耐压、饱和电流等	直流电探针测试
寄生结构特性	寄生 PNP 管、寄生 MOS 管等	电流增益、MOS 管阈值电压等	直流电探针测试

4.2.6 PCM 评价

晶圆接收将根据在制造过程中进行的 PCM 室温测试所提供的信息对每一晶圆逐片进行，PCM 合格率应不低于 60%。如果使用插入式 PCM，每一晶圆至少在五个不同位置放置相同 PCM 测试组，一个位于晶圆中心，另外四个分别放在不同象限。如果 PCM 设置在划片区中，或各个芯片上都有 PCM，应至少从晶圆中心和每个象限分别测试一个 PCM。

4.2.7 成功数据 envelop 分析

成功数据 envelop 分析是指在产品特性识别的检查上，收集产品飞行成功数据，利用合理技术方法构建成功数据 envelop，将待分析产品的数据与对应的成功数据 envelop 范围进行比对，判定待分析产品数据是否落在 envelop 范围内，得到待分析产品数据 envelop 状况，评估产品是否满足执行飞行及在轨运行任务的活动。

芯片的成功数据 envelop 分析主要针对 PCM 参数和电探针测试参数。

a) 型号正样用芯片应对比型号初样阶段 PCM 参数的一致性，装备星至少对比首发星 PCM 参数的一致性。芯片承制单位应给出 PCM 参数控制范围，在工艺文件中予以明确。芯片承制单位应对比分析不同批次芯片 PCM 参数的一致性，对于批次间差异较大的应进行分析，分析变化较大的参数对使用的影响，形成分析报告，提交验收前需得到芯片使用单位认可。

b) 型号正样用芯片应对比型号初样阶段电探针测试参数的一致性，装备星至少对比首发星电探

针测试参数的一致性。芯片承制单位应进行电探针测试一致性分析，得出电探针测试内控范围。芯片承制单位应对比分析不同批次芯片电探针测试的一致性，对于批次间差异较大的应进行分析，分析变化较大的参数对使用的影响，形成分析报告，提交验收前需得到芯片使用单位认可。

芯片承制单位在芯片交付验收时应提供成功数据包络线分析分析报告。

4.2.8 有缺陷的晶圆

不符合任何试验判据的所有晶圆应在发现缺陷时，或发现缺陷的试验结束时立即剔除。拒收的晶圆，根据技术文件的具体规定可接受经批准的返工操作。一旦拒收，并被判断为不可返工的失效，不得再对晶圆进行接收试验。经过批准的返工程序处理的拒收晶圆，应重新提交上次拒收时的所有适用的检查，并在继续进行工艺加工之前先通过接收检验。

4.3 检验

4.3.1 检验分类

本标准规定的检验分类如下：

- a) 承制方筛选；
- b) 元器件可靠性中心监制；
- c) 鉴定检验；
- d) 质量一致性检验；
- e) 使用方验收。

4.3.2 检验批

一个检验批由同时提交检验的同一个晶圆批中的同一型号芯片构成。

4.3.3 不合格批的重新提交

当提交检验的任一检验批不符合要求时，应进行失效分析并确定失效机理。如确认该失效是可以通过对整批晶片重新筛选而有效去除的缺陷，或者该失效并不反映芯片具有基本设计或基本生产工艺问题的随机缺陷，则允许对该分组采用加严检验（按双倍样品量及不合格判定数为零的方案）的方法重新提交一次。

重新提交的批不得与其他的批相混。

如果失效分析表明失效是由于基本工艺程序不良、基本设计缺陷或是无法通过筛选去除的缺陷，则该批不得重新提交。

4.3.4 鉴定检验和质量一致性检验的样品

4.3.4.1 鉴定检验和质量一致性检验组装样品的制备

从筛选合格的检验批中随机均匀抽取芯片进行组装。对 SYSD 级，应对组装样品进行目检和电性

能测试，有缺陷的样品（含组装中引入的缺陷如开路、短路等）在证实后确为非芯片原因引起的，应予以剔除并替换。

组装样品应按本标准 A 组、B 组和 E 组（适用时）检验的规定进行鉴定检验和质量一致性检验。适用时，也可抽取部分芯片，直接进行 A 组、B 组和 E 组（适用时）检验的部分分组试验。

4.3.4.2 组装样品的标识

组装样品上应有以下标志或附有包含相应内容的标签：

- a) 序列号（要求时）；
- b) 芯片型号；
- c) 检验批号或日期代码。

4.3.5 试验条件和方法

除另有规定外，应按照 GJB548B-2005 规定的条件和方法进行检验。允许对规定的试验方法和试验电路进行变更，但承制方需向鉴定机构证明这种变更不会放松本标准的要求。

4.3.6 不合格

达不到 A 组、B 组和 E 组（适用时）任一分组要求的批，可以按 4.3.3 的规定重新提交一次。如不重新提交或重新提交仍不合格，则该批为拒收批，不得交付。

4.4 承制方筛选

4.4.1 芯片筛选

在鉴定检验和质量一致性检验之前，应按表 4 的规定对全部芯片进行筛选。筛选可在晶圆上进行，也可对芯片进行。对于不符合要求的芯片应标识为不合格品，在芯片分离时应予剔除，并不得交货。

表4 芯片筛选

序号	筛选	集成电路		半导体分立器件		备注
		GJB548B-2005 试验方法和条件	要求	GJB128A-1997 试验方法和条件	要求	
1	晶圆批验收	5007	所有批	5001	所有批	
2	稳定性烘焙 ^a	方法 1008, +(150±3)℃, 至少 24 小时, N ₂ 气氛保护	100%	方法 1032, +(150±3)℃, 至少 24 小时, N ₂ 气氛保护	100%	
3	电探针测试 ^b	按产品详细规范 ^b	100%	按产品详细规范 ^c	100%	
4	电探针测试一致性 分析	4.2.7	100%	4.2.7	100%	
5	芯片镜检	方法 2010, 条件 A	100%	二极管: 方法 2074 晶体管: 方法 2072 微波晶体管: 方法 2070 功率 FET: 方法 2069	100%	

^a稳定性烘焙温度不低于 150℃, 承制方可以提供提高温度降低试验时间, 温度与时间对应关系见表 5, 但稳定性烘焙温度不得超过芯片最高结温 T_{Jmax}。

^b电探针测试的合格品率由单个晶圆片测试合格芯片数除以该晶圆提交测试的芯片总数确定。除另有规定外, SYSD 级电探针测试的合格率不低于 75%。对于 GaAs 和 GaN 芯片, 直流测试电探针测试合格率不低于 70%, 微波测试电探针测试合格率不低于 60%。

^c对于 SYSD 级芯片, 至少应包括常温测试。

表5 稳定性烘焙温度-时间对照表

最低温度 (°C)	最短时间 (h)	备注
150	24	稳定性烘焙温度不得超 过芯片最高结温 T _{Jmax}
155	20	
160	16	
165	12	
170	8	
175-200	6	

4.4.2 组装后筛选 (可选)

从经历表 4 筛选合格的同一晶圆批中随机均匀抽取不低于鉴定检验或质量一致性检验数量的芯片装在适用的载体中作为组装样品。组装的全部样品应按表 6a 和表 6b 的规定进行筛选。

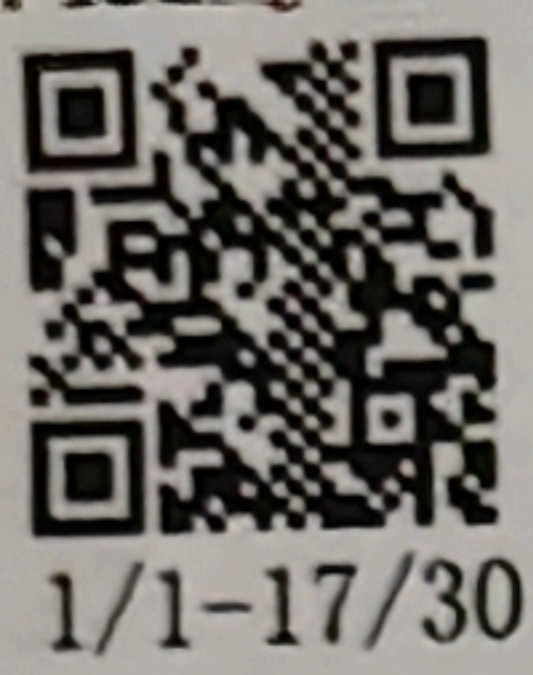


表 6a 半导体分立器件芯片组装后筛选

序号	筛选	GJB128A-1997 试验方法和条件		要求
1	内部目检 (封盖前)	二极管: 方法 2074 晶体管: 方法 2072 微波晶体管: 方法 2070 功率 FET: 方法 2069		100%
2	稳定性烘焙	方法 1032, +(150±3)°C, 至少 48 小时		100%
3	温度循环	试验条件 C, 10 次		100%
4	电测试 (反偏老炼前) ^a	按产品详细规范		100%
5	反偏老炼	二极管	方法 1038, 条件 A, 48h	100%
		晶体管	方法 1039, 条件 A, 48h	
		MOSFET	方法 1042, 条件 B, 48h	
6	电测试 (反偏老炼后)	按产品详细规范		100%
7	老炼	二极管	方法 1038, 条件 B, 240h	100%
		晶体管	方法 1039, 条件 B, 240h	
		MOSFET	方法 1042, 条件 C, 240h	
8	电测试 (老炼后)	按产品详细规范		100%
9	允许的不合格品率 (PDA) 计算	5%		100%
10	最终电测试	按产品详细规范		100%
^a 不允许功能性失效: 在排除由封装原因引入的不合格后, SYSD 级不合格率不大于 2%。				

表 6b 集成电路芯片组装后筛选

序号	筛选	GJB548B-2005 试验方法和条件		要求
1	内部目检 (封盖前)	方法 2010, 条件 A		100%
2	稳定性烘焙	方法 1008, +(150±3)°C, 至少 48 小时		100%
3	温度循环	试验条件 C, 10 次		100%
4	电测试 (老炼前) ^a	按产品详细规范		100%
5	老炼	方法 1015, T _A =125°C, 240h		100%
6	电测试 (老炼后)	按产品详细规范		100%
7	允许的不合格品率 (PDA) 计算	5%, 25°C 功能参数 3%		100%
8	最终电测试	按产品详细规范		100%
^a 不允许功能性失效: 在排除由封装原因引入的不合格后, SYSD 级不合格率不大于 2%。				



4.4.3 老炼

老炼线路在详细规范中规定。

4.4.4 失效

4.4.4.1 失效判据

4.4.4.1.1 参数超差失效

若芯片的一个或多个参数超出了产品详细规范规定的电参数测试极限，则视为发生了参数超差失效。参数测量值超过采购规范规定极限值的1个数量级时，为参数严重超差失效。

4.4.4.1.2 功能失效

芯片丧失了规定的功能，则视为发生了功能失效。

4.4.4.2 失效芯片

出现4.4.4.1所描述的一种或多种失效模式的芯片应视为失效芯片，对失效芯片必须严格隔离。筛选过程中发现功能失效或参数严重超差的芯片时，应进行失效分析；如失效分析结论认为该批次芯片具有批次性问题，则整批芯片不得提交验收。对老炼试验后失效的芯片，应提交试验数据。有条件时（如未进行后续破坏性试验），使用方有权进行复测检查。

4.4.4.3 批失效

一旦批失效发生，承制方应按3.12进行处理。批失效包括：

- a) 筛选过程发生4.4.4.1.1、4.4.4.1.2失效数量的比例超过规定的PDA；
- b) 出现4.4.4.1所描述的失效具有批次性。

4.5 元器件可靠性中心监制

4.5.1 监制工作方式

芯片监制由八院元器件可靠性中心按照相关标准进行。

监制工作即对芯片划片后进行逐批监督检查。必要时，可对生产过程进行全程监制或随机抽查。

4.5.2 监制内容

监制内容至少包括下列方面：

- a) 了解承制方当时的生产工艺状态和重点工序的质量控制状态；
- b) 对承制方内部目检合格的芯片，由八院元器件可靠性中心进行镜检。检验判据按照GJB 548B-2005方法2010条件A或GJB128A-1997相关标准的要求进行；
- c) 监制人员在工作过程中，负责向承制方解释所执行的标准，并向承制方质量管理部门和检验人员及时反馈监制工作中发现的质量问题；

d) 监制人员应在监制报告上签字，以便验收时对产品的监制情况进行确认。

4.5.3 监制问题的处理

在监制过程中出现严重质量问题或不合格芯片比例不符合规定时，应停止监制检验工作，并责成承制方重新检验或拒收有质量问题的批次。

4.6 鉴定检验

4.6.1 一般要求

鉴定检验应在鉴定机构批准的试验室或设备上按 A 组、B 组和 E 组（适用时）的规定进行。

4.6.2 辐射强度保证

每种有抗辐照要求的芯片都应进行 E 组鉴定。如果工艺或设计变更会影响芯片的抗辐照能力，则应重新提交这些芯片进行鉴定检验。

4.6.3 鉴定合格资格的维持

为了保持鉴定合格资格，承制方每 12 个月应向鉴定机构提出一份报告。鉴定机构应规定第一次报告的日期。报告应包括 12 个月周期内对各批进行的所有质量一致性检验结果摘要，摘要包括所有分组的失效数量和失效模式，应识别和计入全部返工批、重新提交批和拒收批。

如果报告的试验结果与规范要求不一致，并且未采取鉴定机构认可的纠正措施，则可能导致该产品丧失其鉴定合格资格。

如果在报告的有效期内未进行生产，承制方应向鉴定机构提交一份报告，证明仍然具备生产这种产品的能力和设备条件。如果在连续三个报告周期内未进行生产，鉴定机构可要求承制方对该产品或采用相同的工艺技术生产的相同等级的代表性产品，按鉴定检验的要求进行试验。

4.7 质量一致性检验

4.7.1 一般要求

质量一致性检验一般要求如下：

- a) 凡通过了 4.6 规定的鉴定检验的检验批，可以不再进行质量一致性检验；
- b) 质量一致性检验分 A 组、B 组和 E 组，样本应在同一晶圆批中随机抽取；
- c) 在质量一致性检验过程中如发现批次性失效的芯片，则质量一致性检验判为不合格，且该检验批不得进行第二次质量一致性检验；

4.7.2 质量一致性检验的项目和要求

4.7.2.1 总则

质量一致性检验的项目和要求应符合本标准的规定。

4.7.2.2 A 组检验

A组检验为逐批检验，A组检验的要求按照表7a、7b的规定。

表 7a 半导体分立器件芯片 A 组检验

分组 ^a	样品数 (接收判定数) ^b
A1 分组 目检和机械检查 (GJB128A-1997 方法 2071)	32 (0)
A2 分组 25℃下的直流 (静态) 测试	32 (0)
A3 分组 最高额定工作温度直流 (静态) 测试 最低额定工作温度直流 (静态) 测试	32 (0)
A4 分组 25℃下的动态测试	32 (0)
A5 分组 安全工作区测试 (只对功率晶体管)	32 (0)
A6 分组 浪涌电流 (仅对二极管) 终点电测试	32 (0)
A7 分组 选择性动态和静态测试	32 (0)

^a承制方可自行确定A组各分组试验是分别进行还是组合进行，但在试验前应预先确定分组情况。除另有规定外，各分组试验或组合试验可以任意顺序进行。

^b每分组中测试包括的具体参数应按照适用的详细规范具体规定。如在一个特定的分组中或在某分组的一项具体试验中未规定参数时，该分组或该项试验就不需要进行A组检验去满足A组的要求。可用一个样本进行所有分组的试验。这些测试是非破坏性的，样品是可以交付的。每个晶圆必须抽取至少4个芯片，每个象限抽取至少1个芯片。若同一批晶圆数量大于8片，则抽样数为4N (N为晶圆数量)，若同一批晶圆数量小于等于8片，则抽样数为32只。

表 7b 集成电路芯片 A 组检验

分组 ^a	样品数 (接收判定数) ^b
A1 分组 25℃下静态试验	32 (0)
A2 分组 最高工作温度下静态试验	32 (0)
A3 分组 最低工作温度下静态试验	32 (0)
A4 分组 25℃下动态试验	32 (0)
A5 分组 最高工作温度下动态试验	32 (0)
A6 分组 最低工作温度下动态试验	32 (0)
A7 分组 25℃下功能试验	32 (0)
A8a 分组 最高工作温度下功能试验	32 (0)
A8b 分组 最低工作温度下功能试验	32 (0)
A9 分组 25℃下开关试验	32 (0)
A10 分组 最高工作温度下开关试验	32 (0)
A11 分组 最低工作温度下开关试验	32 (0)

^a承制方可自行确定A组各分组试验是分别进行还是组合进行，但在试验前应预先确定分组情况。除另有规定外，各分组试验或组合试验可以任意顺序进行。

^b每个晶圆必须抽取至少4个芯片，每个象限抽取至少1个芯片。若同一批晶圆数量大于8片，则抽样数为4N (N为晶圆数量)，若同一批晶圆数量小于等于8片，则抽样数为32只。

4.7.2.3 B组检验

B组检验为逐批检验，B组检验的要求按照表8的规定。如果是自主设计流片或自主设计外协加工的芯片，未装配的晶圆或者芯片储存在充氮气的干燥柜，可以按照晶圆批抽样进行。各分组的试验可按任意顺序进行，同一分组内的各项试验应按规定顺序进行。用于B4、B5分组检验的样品应从A组检验合格的检验批中抽取，其他分组试验可采用同一检验批中电性能不合格的样品作样本。

表8 B组检验

试验	GJB548B-2005		GJB128A-1997		样品数(接收判定数)
	方法	条件	方法	条件	
B1 分组 内部目检 芯片尺寸	2010	条件 A 按规定	二极管: 方法 2074 晶体管: 方法 2072 微彼晶体管: 方法 2070 功率 FET: 方法 2069	按规定	2 (0)
B2 分组 键合强度 热压焊 超声焊 倒装焊 梁式引线	2011	试验条件 C 或 D 试验条件 C 或 D 试验条件 F 试验条件 H	2037	试验条件 A	22 (0) ^a
B3 分组 芯片剪切强度或 芯片粘接强度	2019 2027	按不同的芯片大小 按不同的芯片大小	2017	按不同的芯片大小	3 (0)
B4 分组 温度循环 机械冲击或 恒定加速度 终点电测试	1010 2002 2001	条件 C, 100 次 条件 B, Y1 方向 3000g, Y1 方向 按规定	1051 2016 2006	条件 C, 100 次 按规定 3000g, Y1 方向 按规定	15 (0)
B5 分组 ^b 稳态寿命试验 终点电测试	1005	T_A (或 T_B) = 125°C ^c , 1000h 按规定	2016	T_A (或 T_B) = 125°C ^c , 1000h 按规定	22 (0)
B6 分组 静电放电敏感度	3015	按规定	1020	按规定	3 (0)
B7 分组 SEM 检查	2018		2077		3 (0)
^a 指被试键合引线数, 至少应从 5 只样品中抽取。 ^b 芯片使用方可根据实际使用情况, 在芯片详细规范中确定稳态寿命试验加电方式。 ^c 可调整 T_A (或 T_B) 使 T_J 或 T_B 不超过 T_{max} 或 T_{max} 。					

4.7.2.4 E组检验

E组检验为逐批检验，每个晶圆批应按表9规定进行。E组检验的样品应从A组检验合格的检验批中随机抽取。辐射强度保证检验应符合相关详细规范的规定。

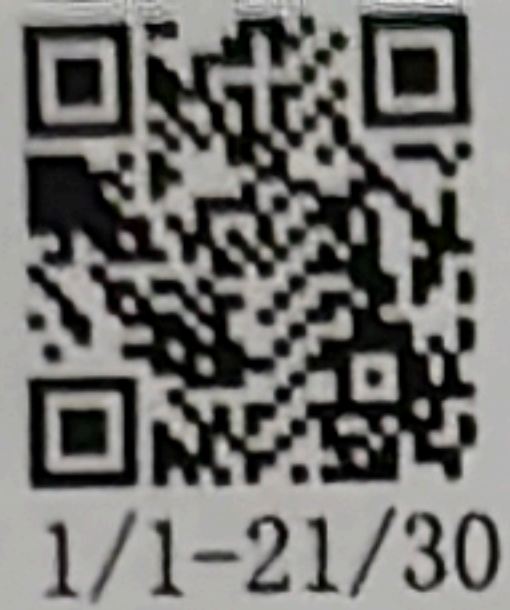


表9 E组检验

分组	项目	方法	条件	样品数（接收数） ^b
E1 分组	稳态总剂量辐射	GJB 548B-2005	25℃施加最大电源电压	3（0）只/每晶圆批
	终点电参数测试	方法1019	按产品详细规范的要求	—
E2分组 ^a	单粒子效应	GJB 7242-2011	—	3（0）只/每晶圆批

表中用做一个分组的试验，不可用做另外一个分组，但可在同一分组中供较高等级试验用。除非试验是在试验方法所限定的时间内进行，总的辐射时间不应考虑为累积量。

^a 当采购文件或合同规定时，或在鉴定及发生可能影响器件单粒子效应的设计或工艺更改时进行。

^b 每个晶圆必须随机抽取至少1个芯片。

4.8 检验记录

对于SYSD级芯片产品，其筛选和质量一致性检验记录，失效分析报告、不合格、重新提交及其他问题处理的相关质量记录应至少保存20年。

4.9 使用方验收

4.9.1 概述

验收试验应在筛选试验和鉴定/质量一致性检验合格后由芯片使用方进行。验收试验过程如发现批次性失效的芯片，则验收试验判为不合格，且不得再一次进行验收试验。

4.9.2 芯片贮存期

除非另有规定，提交验收的芯片在承制方完成筛选试验后贮存在相对湿度不大于30%的充氮干燥防静电容器中，并保持在10℃~30℃的温度范围，满足以上条件的芯片有效贮存期为36个月。

4.9.3 验收工作内容

验收工作内容至少包括下列方面：

- 与承制方核实所验收芯片的采购文件，确认一致；了解提交验收芯片的生产全过程质量管理 and 控制情况，特别应详细了解芯片在生产过程中发生的质量问题、处理和分析结果及其纠正措施，并索取有关质量报告、失效分析报告和试验报告；
- 按照 4.9.4 的要求进行资料审查；
- 与承制方共同完成验收试验，验收试验项目和要求按照 4.9.5 的规定；
- 按照 4.9.6 的规定进行验收结果处理。

4.9.4 质量文件和试验样品的审查

承制方提供待验收芯片的质量文件供使用方审查，至少包括以下文件：

- 设计文件；
- 体系文件；



- c) 试验、测试所用的关键设备清单；
- d) 外购关键原材料入厂检验规范和检验报告；
- e) 批流程卡（备查）；
- f) 监制报告；
- g) 成功数据包络线分析报告；
- h) 承制方筛选试验报告；
- i) 质量一致性检验报告（或鉴定检验报告等）；
- j) 抗辐射能力评估报告（有要求时）；
- k) 静电敏感度试验报告（含试验测试数据）；
- l) 失效分析报告（必要时）；
- m) 合格证。

4.9.5 验收试验项目和要求

4.9.5.1 总则

除非另有规定，对提交使用方验收的芯片应按表10的规定进行验收试验。

表 10 验收试验项目和要求

序号	试验项目	集成电路	半导体分立器件		样品数量和接收判定数 ^a
		GJB548B试验方法	GJB128A试验方法		
1	芯片外形尺寸	按产品详细规范	按产品详细规范		3(0)，发现不合格时应全部检查。
2	芯片镜检	方法2010条件A	二极管	方法 2074	按GJB179A-1996一般检验水平 AQL=1.0 抽样检验
			晶体管	方法 2072	
			微波晶体管	方法 2070	
			功率 FET	方法 2069	
3	电特性测试	按产品详细规范中A组检验规定的项目和要求	按产品详细规范中A组检验规定的项目和要求		芯片数 $N \leq 10$ 时，2(0)
					芯片数 $10 < N \leq 100$ 时，5(0)
					芯片数 $100 < N \leq 500$ 时，8(0)
					芯片数 $500 < N < 2000$ 时，12(0)
					芯片数 $N \geq 2000$ 时，15(0)

^a 电特性测试由使用方验收人员随机抽取芯片装配之后进行，若出现不合格经分析属于由装配引起，则允许重新装配提交。

4.9.5.2 外形尺寸

芯片的外形尺寸应符合适用的详细规范的要求，或按照采购文件的规定。抽样 3 只，用合适的量具测量器件的外形尺寸，发现不合格时应全部检查。

4.9.6 验收的结果和处理



4.9.6.1 接收

通过验收试验并满足下述要求的芯片可接收：

- a) 满足采购文件和产品详细规范规定的性能指标和合格判据的交付验收芯片；
- b) 文件审查通过；
- c) 使用方验收试验通过。

4.9.6.2 拒收

凡有下列情况之一的芯片应拒收：

- a) 如发现生产工艺控制不满足要求并直接影响到芯片质量；
- b) 承制方筛选试验不通过；
- c) 质量一致性检验不通过；
- d) 文件审查不通过；
- e) 使用方验收试验不通过。

4.9.6.3 重新验收

当采购文件中无要求时，对验收未通过的芯片允许承制方重新提交，但要进行如下程序：

- a) 重新验收必须预先取得使用方的同意；
- b) 对验收未通过的芯片，承制方应进行失效分析，明确失效原因，确认不合格芯片可以经过针对性筛选后剔除，并且能保证针对性筛选的试验方法不会对芯片的质量产生不良影响时，允许在完成针对性筛选后重新验收；
- d) 针对性筛选试验后进行重新验收时应作重新验收记录，且只允许重新验收一次。

4.9.6.4 使用方验收报告的签署

不论验收的芯片接收与否，承制方与使用方均应签署验收试验报告；不合格时应注明拒收原因，必要时双方应针对拒收产品签署验收纪要。

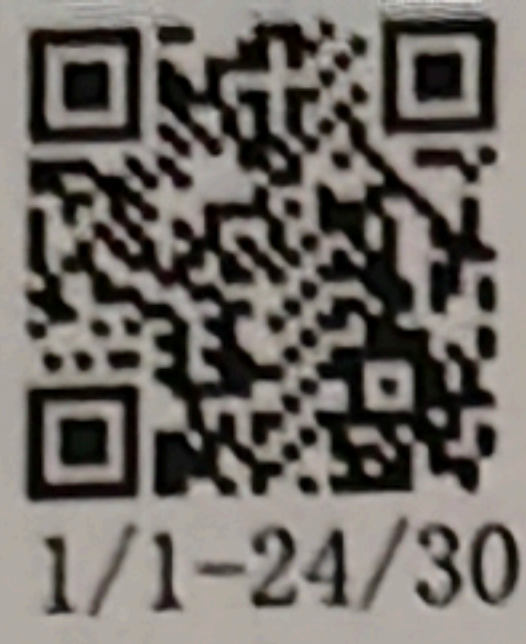
4.9.7 批失效报告

如果在验收过程出现批次性失效，承制方应进行失效分析，并按照 3.12 的规定采取措施。

4.10 SAST 等级器件交付芯片处理

对于已制定 SAST 采购规范的器件，使用方采购的芯片按以下要求进行质量控制：

- a) 若同批次晶圆封装器件已按 SAST 采购规范进行筛选和质量一致性检验（含 1000 小时寿命考核试验分组），则按本规范 4.4.1 进行芯片筛选（或提供满足 4.4.1 芯片筛选要求的记录）、4.5 进行使用方监制以及 4.9 进行使用方验收。
- b) 若同批次晶圆封装器件已按 SAST 采购规范进行筛选和质量一致性检验（不含 1000 小时寿命考核试验分组），则按本规范 4.4.1 进行芯片筛选（或提供满足 4.4.1 芯片筛选要求的记录）、4.5 进行使用方监制、4.7.2.3 进行 B 组检验（至少包含 1000 小时寿命考核试验）以及 4.9 进行使用方验收。



c) 若交付芯片的晶圆批未按 SAST 采购规范进行筛选和质量一致性检验, 则按本规范 4.4 进行承制方筛选、4.5 进行使用方监制、4.7 进行质量一致性检验以及 4.9 进行使用方验收。

对于已制定不低于 SAST 采购规范的器件, 使用方采购其芯片可按以上质量控制要求进行。

4.11 芯片装机后的质量保证要求

主要包括:

a) 芯片装入部组件后应参照 GJB 8481-2015 制定部组件技术要求, 对部组件进行筛选试验和考核试验;

b) T/R 组件设计、生产、内部元器件控制、筛选、鉴定、质量一致性检验等质量保证按照沪航天物字[2018]533 号《空间飞行器用 T/R 组件通用规范(试行版)》执行;

c) 部组件承制方应确定部组件筛选过程 PDA 控制要求, 对于部组件筛选过程中出现的失效, 若经分析属芯片早期失效, 由芯片承制方开展技术分析, 明确失效机理和失效原因, 形成技术分析报告, 必要时形成技术归零报告, 技术分析报告或技术归零报告经芯片使用方、型号总体和八院元器件可靠性中心认可; 若经分析属于芯片使用方工艺或操作问题, 则由芯片使用方明确具体工艺或操作问题, 采取有效的改进措施;

d) 部组件经过筛选试验装机后出现的由于芯片失效导致部组件故障的, 应由芯片使用方组织芯片承制方进行归零。

5 交货准备

5.1 包装

5.1.1 内包装

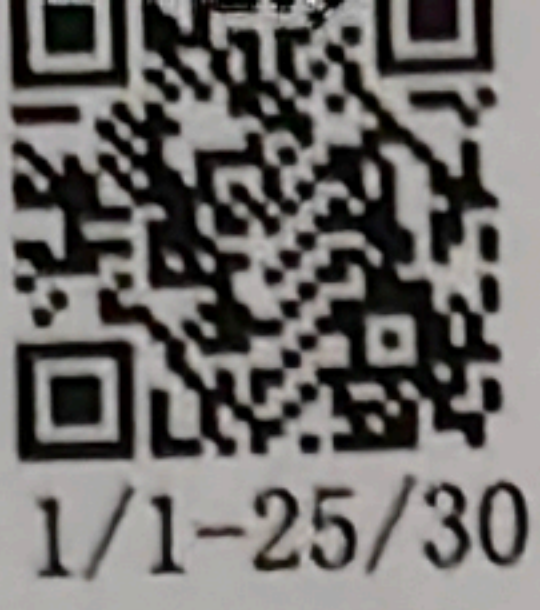
芯片应包装在防潮、防震、避光和防静电包装容器内, 包装容器内应充氮气或抽真空。

5.1.2 外包装

装有芯片的包装盒(袋)应放入防潮、防霉的干燥包装容器内, 芯片外包装容器上应有以下标志:

- a) 合同号;
- b) 芯片型号;
- c) 检验批识别代码;
- d) 芯片的生产批次号;
- e) 芯片的质量保证等级;
- f) 静电放电敏感度(ESDS)标识;
- g) 承制方名称或商标;
- h) 数量;
- i) 装箱日期。

5.1.3 需提交的数据要求



随交付的芯片，承制方需提供以下数据：

- a) 键合点图；
- b) 连接标识；
- c) 长、宽、厚度尺寸及尺寸公差；
- d) 芯片背面材料；
- e) 工作环境温度范围；
- f) 贮存要求。

5.2 运输、贮存

5.2.1 运输

芯片运输过程中应避免受到机械损伤、静电放电和沾污。

5.2.2 贮存

芯片应贮存在相对湿度不大于30%的充氮干燥防静电容器中，并保持在10℃~30℃的温度范围。满足以上条件的芯片有效贮存期为36个月。如超过有效贮存期，在使用前应分别按本标准表4中芯片镜检及4.7的规定质量一致性检验。

6 说明事项

6.1 预定用途

本标准规定的芯片预定用于空间飞行器。

6.2 订购文件中应明确的内容

订购文件中应规定下列内容：

- a) 芯片型号、名称、数量；
- b) 本标准名称、编号和发布日期；
- c) 相关详细规范的名称、编号和发布日期，承制方的名称；
- d) 应提供的试验数据；
- e) 需要时，对包装载体和容器的规格及特殊标志的要求；
- f) 芯片质量保证等级；
- g) 需要时，对产品或工艺的更改通知采购单位的要求；
- h) 需要时，对失效分析、纠正措施和结果提供报告的要求；
- i) 成功数据包络线分析报告；
- j) 其他要求。

6.3 使用风险控制

为有效指导芯片应用，附录C列出了芯片使用风险控制清单。



附录 A

(资料性附录)

芯片技术状态更改

A.1 设计更改

芯片设计方法的更改，应包括但不限于下列内容：

- a) 设计数据库（单元/设计库）；
- b) 设计流程；
- c) 设计系统（计算机辅助设计（CAD），设计规则）；
- d) 软件升级；
- e) 模型或模型建立程序；
- f) 配置管理；
- g) 辐射加固保证（适用时）；
- h) 电性能；
- i) 几何特征尺寸减小。

A.2 晶圆制备过程更改

晶圆生产工艺的更改，应包括但不限于下列内容：

- a) 生产工艺次序或工艺极限；
- b) 生产工艺材料或材料规范，包括外延层厚度；
- c) 光刻胶材料或材料规范；
- d) 掺杂材料源、浓度，或掺杂技术（如：离子注入或扩散）；
- e) 扩散剖面分布图；
- f) 钝化材料、厚度或钝化技术（包括钝化层的增加与去除）；
- g) 金属化系统（图形、材料、淀积或蚀刻技术，宽度或厚度）；
- h) 材料和工艺基线；
- i) 导体材料、电阻材料或绝缘材料；
- j) 晶圆制备迁移到另一条生产线或另建一条生产线；
- k) 钝化的工艺温度和时间；
- l) 氧化或扩散工艺、氧化物成分和氧化层厚度、氧化温度和时间；
- m) 烧结或退火温度和时间；



- n) SEC 及其试验方法;
- o) 掩模制备方法;
- p) PM 及其测试方法;
- q) 晶圆验收判据;
- r) TCV 及其测试方法;
- s) 工艺检测抽样方案 (样品数和接收数);
- t) 栅的形成工艺、材料和技术;
- u) 背面工艺, 包括晶圆减薄和背面金属化;
- v) 欧姆接触的形成;
- w) 原材料的检验 (如: GaAs 衬底);
- x) 批的组成 (如生产分批的方法)。

A.3 组装工艺的更改

芯片组装工艺的更改, 应包括但不限于下列内容:

- a) 内部目检和其他试验方法的执行程序;
- b) 划片和芯片分离方法;
- c) 鉴定检验或质量一致性检验程序, 包括承制方增加的试验;
- d) 筛选试验;
- e) 工艺检测抽样方案 (样品数和接收数);
- f) 芯片背面处理;
- g) 键合区的几何尺寸、间距或金属化;
- h) 芯片包封/镀涂材料和技术。



附录 B

(资料性附录)

芯片研制过程保证控制

B.1 芯片使用风险控制清单见表 B.1。

表 B.1 芯片研制过程保证控制表

阶段	工作流程	型号总体	物资管理部	芯片使用单位	元器件可靠性中心	芯片承制单位	工作依据	过程文件	工作输出
选用阶段	技术协议确定			★		☆			技术协议、评审意见
	详细规范评审	☆	☆	★	☆	☆			详细规范、评审意见
	选用评审	★	☆	☆	☆	☆			设计报告、评审意见
芯片生产阶段	确定图样、工艺基线					★			GDS 文件
	晶圆制造					★			晶圆、数据包
承制方质量保证	成功数据包络线分析					★			分析报告
	晶圆筛选					★			筛选报告
	电参数稳定性和一致性分析					★			分析报告
	100%芯片镜检					★	GJB 规范	芯片镜检过程记录表	
	组装后筛选（有要求时）					★	产品详细规范	筛选过程记录	筛选报告
	鉴定检验/质量一致性检验					★	产品详细规范	鉴定检验/质量一致性检验过程记录	鉴定检验/质量一致性检验报告
使用方质量保证	设计定型审查	☆	☆	★	☆	☆			设计定型报告、评审意见
	工艺评价、装机验证			★		☆	评价方案	试验报告	评价报告
	下厂监制			☆	★	☆	产品详细规范	监制过程记录	下厂监制报告
芯片使用阶段	下厂验收			★	☆	☆	产品详细规范	验收过程记录	验收报告
	失效分析（有时）			☆	★	★			失效分析报告
	归零（有时）	☆	☆	★	☆	☆			归零报告

★表示需要参加该流程

☆表示需要关注该流程



附录 C

(资料性附录)

芯片使用风险控制清单

C.1 芯片使用风险控制清单见表 C.1。

表 C.1 芯片使用风险控制清单

序号	常见问题	风险控制要求
1	裸芯片背面金属层厚度结构和质量不满足焊接要求，芯片共晶焊接后焊透率和焊接强度达不到指标要求。	要求芯片出厂前，对批次芯片抽 1-2 只芯片进行背金膜层表面颜色检查、剖面厚度分析和成分分析，保证背面金属膜层达到技术协议要求。
2	微波组件用功率芯片热烧毁是常见的问题，导致产品失效。	功率芯片采用金锡共晶焊接，焊透率 $\geq 90\%$ ；设计时应根据芯片最高工作结温，并按可靠性的要求采取相应降额等级。
3	功率裸芯片和组装材料的热膨胀系数失配，引起芯片热应力失效。	功率芯片通常粘贴在基板或载片上，基板与载片的热膨胀系数应稍高于芯片的热膨胀系数，以保证芯片共晶焊后，处于较低的压应力状态。
4	微波组件用裸芯片要求气密封装，隔绝恶劣的外部环境，但裸芯片封装内环境负面因素如水汽、氢气也会引起芯片失效。	裸芯片封装内环境要求水汽含量小于 5000ppm，氢含量应控制在 2000ppm 以下，不得含有卤族元素，如 F、Cl、Br、I 等。
5	微波组件用裸芯片封装在密闭的腔体中，多余物尤其是导电颗粒可引起短路、烧毁等现象	对来料的源头进行多余物检查和防控；对产生多余物的工艺进行优化并鉴定；在产品封装过程中对多余物进行检查和清理；封盖前进行多余物确认；封盖后的产品可采用颗粒噪声检测多余物。
6	芯片材料很脆，在转移和装配过程中极易造成芯片崩边、划痕等缺陷，崩边造成的裂纹延伸到芯片的有源区或在服役过程中裂纹延伸至有源区。	用镊子拾取，夹取芯片长边，用力轻且均匀。表面敏感芯片用镂空吸头拾取，轻取轻放。
7	部分裸芯片在装配前不能明确其性能完好性 (KGD)，需在装配后才能测试芯片的全部性能。	芯片厂家应能进行芯片筛选，并提供每批次芯片的良率报告。
8	裸芯片 Pad 为铝膜时，在引线键合时发生 Pad 脱落。	降低键合压力和超声能量，优化键合工艺参数。
9	大功率器件，使用金丝键合会发生金铝效应，产生柯肯德尔空洞	推荐使用粗铝丝键合，避免芯片键合区金属材料不同的键合工艺；基板电极上采用 Ni/Au 膜层 (Au 厚度较薄) 或用镀 Ni 的铝垫块过渡。
10	裸芯片在华夫盒里摆放不一致，导致自动贴装时芯片贴反。	在自动生产线装配前，检查华夫盒内芯片的摆放位置及方向，在芯片相关详细规范中规定芯片包装要求。



表 C.1 (续) 芯片使用风险控制清单

序号	常见问题	风险控制要求
11	静电损伤导致产品故障。	大部分裸芯片对静电敏感，贮存和使用时应注意防静电，操作人员必须佩带防静电护腕并保证良好接地，工作台表面必须防静电并良好接触，操作人员须穿导电鞋，地板需接地，须在导电容器中运送芯片。
12	裸芯片装配过程中出现机械损伤，如芯片表面被硬物划伤或压伤，该失效多为偶然失效，如果为批次失效，则成因一般与引线键合工艺有关。	加强微波组件用裸芯片装配过程控制，减少人为原因带来的机械损伤失效。
13	大功率特别是 GaN 功率裸芯片载体与盒体之间的焊料出现融化。	在箱体设计时，应尽量避免功率芯片底部箱体悬空，大小箱体之间须涂导热硅脂；功率芯片载体与箱体烧结应选用较高温度焊料；同时尽量选用导热系数较高的材料作箱体。
14	功率芯片直流馈电金丝数量偏少，造成金丝过流熔断，芯片不工作。	按照功率芯片工作电流，结合所用线径、长度对应的最大承受电流，保留一定裕度，确定所用金丝根数，满足 I 级降额。
15	功率型芯片选用导电胶粘接，不能保证长期可靠性。	耗散功率在 0.8W 以上的芯片禁止使用导电胶粘接。
16	1) 整机使用环境有异常，造成芯片过电应力烧毁； 2) 供电系统设计缺陷，上电时有过冲，导致芯片烧毁。	需要预防电源和仪器设备的电压瞬间过冲，带保护的信号和偏置电缆可以有效防止干扰和感应现象。通过增加滤波隔离尖峰脉冲能有效保护电路。